

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to:  
Assistant Commissioner for Patents, Washington, D.C. 20231, on:

July 5, 2001  
Date of Signature

MARYLEE JENKINS  
Signature



(50)

2915744  
BA 7/12/01  
6/15

PATENT  
B208-1118

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Yasuyuki Tanaka et al.

Serial No. : 09/760,154

For : REPRODUCING APPARATUS

Filed : January 12, 2001

Art Unit : 2615

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir :

**CLAIM TO BENEFIT OF 35 U.S.C. § 119**  
**AND FILING OF PRIORITY DOCUMENTS**

Claim is made herein to the benefit of 35 U.S.C. § 119 for the filing dates of the following Japanese Patent Application Nos.: 2000-015713 (filed January 25, 2000) and 2000-051097 (filed February 28, 2000). Certified copies of these documents are enclosed.

Dated: July 5, 2001

Respectfully submitted,

Marylee Jenkins  
Registration No. 37,645  
An Attorney of Record

ROBIN, BLECKER & DALEY  
330 Madison Avenue  
New York, New York 10017  
T (212) 682-9640

CFT4520  
VS



本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日  
Date of Application:

2 0 0 0 年 2 月 2 8 日

出 願 番 号  
Application Number:

特願 2 0 0 0 - 0 5 1 0 9 7

出 願 人  
Applicant(s):

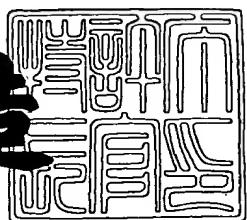
キヤノン株式会社

RECEIVED  
JUL 11 2001  
Technology Center 2600

2 0 0 1 年 2 月 1 6 日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 1 - 3 0 0 8 5 1 8

【書類名】 特許願  
【整理番号】 4174100  
【提出日】 平成12年 2月28日  
【あて先】 特許庁長官 近藤 隆彦 殿  
【国際特許分類】 G11B 20/10  
【発明の名称】 再生装置及びその方法  
【請求項の数】 22  
【発明者】  
【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社  
内  
【氏名】 内藤 達也  
【特許出願人】  
【識別番号】 000001007  
【住所又は居所】 東京都大田区下丸子3丁目30番2号  
【氏名又は名称】 キヤノン株式会社  
【代表者】 御手洗 富士夫  
【電話番号】 03-3758-2111  
【代理人】  
【識別番号】 100090538  
【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社  
内  
【弁理士】  
【氏名又は名称】 西山 恵三  
【電話番号】 03-3758-2111  
【選任した代理人】  
【識別番号】 100096965  
【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会  
社内  
【弁理士】

【氏名又は名称】 内尾 裕一

【電話番号】 03-3758-2111

【選任した代理人】

【識別番号】 100110009

【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会  
社内

【弁理士】

【氏名又は名称】 青木 康

【電話番号】 03-3758-2111

【選任した代理人】

【識別番号】 100069877

【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会  
社内

【弁理士】

【氏名又は名称】 丸島 儀一

【電話番号】 03-3758-2111

【手数料の表示】

【予納台帳番号】 011224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908388

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 再生装置及びその方法

【特許請求の範囲】

【請求項1】 情報信号を再生する再生手段と、

前記再生手段により再生された情報信号を等化する等化手段と、

第1の制御方法と第2の制御方法とを選択的に用いて前記等化手段の等化特性を制御する制御手段とを備える再生装置。

【請求項2】 前記制御手段は経過時間に応じて前記第1の制御方法と前記第2の制御方法を選択することを特徴とする請求項1記載の再生装置。

【請求項3】 前記再生手段は多数のヘリカルトラックが形成された記録媒体から前記情報信号を再生し、前記制御手段は前記記録媒体の再生トラック数に応じて前記第1の制御方法と前記第2の制御方法を選択することを特徴とする請求項1記載の再生装置。

【請求項4】 前記等化手段により等化された情報信号中のエラーを検出するエラー検出手段を備え、前記制御手段は第1の制御方法においては前記情報信号中のエラーに応じて前記等化特性を制御することを特徴とする請求項1記載の再生装置。

【請求項5】 前記エラー訂正手段は前記エラーを示すエラーフラグを発生し、前記制御手段は前記第1の制御方法においては前記エラーフラグを所定期間カウントしたカウント結果に応じて前記等化特性を制御することを特徴とする請求項4記載の再生装置。

【請求項6】 前記制御手段は前記第2の制御方法においては前記等化手段により等化された情報信号の波形に関する情報に応じて前記等化特性を制御することを特徴とする請求項1記載の再生装置。

【請求項7】 前記等化手段より出力された情報信号からデジタル信号を検出する検出手段を備え、前記制御手段は前記第2の制御方法においては前記検出手段に入力される信号と前記検出手段より出力されるデジタル信号とを用いて前記等化手段の等化特性を制御することを特徴とする請求項6記載の再生装置。

【請求項8】 前記制御手段は、前記検出手段に入力される情報信号と前記

検出手段より出力される検出結果とを乗算する乗算手段と、前記乗算手段の乗算結果を積分する積分手段とを有し、前記積分手段の出力に応じて前記等化手段の等化特性を制御することを特徴とする請求項7記載の再生装置。

【請求項9】 前記乗算手段は、前記検出手段の検出結果のうち所定サンプルの検出結果及びこの所定サンプルの前後の $n$ サンプルの検出結果と、前記所定サンプルの検出結果に対応する前記再生情報信号とをそれぞれ乗算する $2n+1$ 個の乗算器を有し、前記積分手段は前記 $2n+1$ 個の乗算器の出力を積分する $2n+1$ 個の積分器を有することを特徴とする請求項8記載の再生装置。

【請求項10】 前記等化手段は第1の周波数帯域の群遅延特性を制御する第1の群遅延制御回路と、前記第1の周波数帯域よりも低い第2の周波数帯域の群遅延特性を制御する第2の群遅延制御回路とを有し、前記制御手段は、前記所定サンプルの $n/2$ サンプル前後のサンプルの前記積分結果に応じて前記第1の群遅延制御回路の群遅延特性を制御し、前記所定サンプルの $n$ サンプル前後のサンプルの前記積分結果に応じて前記第2の群遅延制御回路の群遅延特性を制御することを特徴とする請求項9記載の再生装置。

【請求項11】 前記等化手段の出力をサンプリングし、1サンプル複数ビットのデジタル信号に変換するA/D変換器を備え、前記検出手段は前記A/D変換器から出力された信号を3値検出するデコーダを有することを特徴とする請求項7記載の再生装置。

【請求項12】 前記等化手段は、第1の周波数帯域の群遅延を制御する第1の群遅延等化回路と、前記第1の周波数よりも低い第2の周波数帯域の群遅延を制御する第2の群遅延等化回路とを有し、前記第1の群遅延等化回路の群遅延特性と前記第2の群遅延等化回路の群遅延特性とを独立に制御することを特徴とする請求項1記載の再生装置。

【請求項13】 前記第1の群遅延制御回路と前記第2の群遅延制御回路はそれぞれ、オールパスフィルタを含むことを特徴とする請求項12記載の再生装置。

【請求項14】 前記再生手段は磁気記録媒体から前記情報信号を再生することを特徴とする請求項1記載の再生装置。

【請求項15】 前記等化手段は積分等化回路と群遅延等化回路とを含み、前記制御手段は更に、前記積分等化回路の等化特性と前記群遅延等化回路の等化特性とを制御することを特徴とする請求項1記載の再生装置。

【請求項16】 前記等化手段により等化された再生情報信号から1サンプル1ビットのデジタル信号を検出するデータ検出手段と、前記検出手段の出力に所定の処理を施す信号処理手段とを備えたことを特徴とする請求項1記載の再生装置。

【請求項17】 前記情報信号は符号化された画像信号を含み、前記信号処理手段は前記画像信号を復号する復号手段を含むことを特徴とする請求項16記載の再生装置。

【請求項18】 前記データ検出手段はビタビアルゴリズムを用いて前記1サンプル1ビットのデジタル信号を検出することを特徴とする請求項16記載の再生装置。

【請求項19】 前記情報信号はPR4プリコードされており、前記等化手段により等化された情報信号をPR4デコードするデコーダを備え、前記検出手段は前記デコーダから出力される情報信号からデジタル信号を検出することを特徴とする請求項1記載の再生装置。

【請求項20】 情報信号を再生する再生手段と、  
前記再生手段により再生された情報信号を等化する等化手段と、  
前記等化手段により等化された情報信号中のエラーを検出するエラー検出手段と、

前記エラー検出手段の検出結果を用いて前記等化手段の等化特性を制御する第1の制御方法と前記エラー検出手段の検出結果を用いることなく前記等化手段の等化特性を制御する第2の制御方法とを選択的に用いて前記等化手段の等化特性を制御する制御手段とを備える再生装置。

【請求項21】 再生動作を指示する指示手段と備え、  
前記制御手段は前記指示手段による再生指示から所定期間の間は前記第2の制御方法を用いて前記等化特性を制御し、前記所定期間以降は前記第1の制御方法を用いて前記等化特性を制御することを特徴とする請求項19記載の再生装置。

【請求項22】 再生された信号をイコライザにより再生処理する方法であつて、

第1の制御方法と第2の制御方法とを選択的に用いて前記イコライザの等化特性を制御することを特徴とする再生方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、再生装置、及びその方法に関し、特に情報信号の等化処理に関する。

【0002】

【従来の技術】

この種の装置として、従来、画像信号や音声信号をデジタル信号として磁気テープに記録再生するデジタルVTRが知られている。

【0003】

デジタルVTRにおいては、再生された信号をイコライザにより等化処理することで、記録再生系における信号の劣化や、テープの種類による特性のばらつきなどを補償している。これにより、エラーの少ない再生信号を得ることができる。

【0004】

また、再生信号中のエラー率に基づいてイコライザの等化特性を制御する技術も知られている。

【0005】

【発明が解決しようとする課題】

前述の如くエラー率に基づいて等化特性を制御する方法は有効ではあるが、このような等化制御により抑圧できるのはいわゆるランダムエラーである。

【0006】

特に、エラーが少なくなり、エラー率が低下している状態では、イコライザの等化特性の影響よりもテープの欠陥によるドロップアウトの影響によるエラーの割合が支配的になってしまふ。

【0007】

そのため、単に一定期間のエラー率により等化特性の制御を行った場合、ドロップアウトによるエラーに基づいて等化特性を変更してしまい、かえって特性を悪くしてしまうことが考えられる。

【0008】

これを避けるためには、ドロップアウトによる局部的なエラーの増加が無視できる程度まで、長い期間エラーを積算してエラー率を求める必要があり、最適な等化特性となるまで長い時間がかかるてしまう。

【0009】

また、等化特性を変化させて最適な特性を探す、いわゆるウォブリング法では、現状に比べてエラーが少なくなる方向はわかるものの、最適点の方向がわからないため、エラーの極小点ではあるが、最適点ではない値に制御してしまう可能性がある。

【0010】

本発明は前述の如き問題点を解決することを目的とする。

【0011】

また、本発明の他の目的は、良好な等化特性の制御を行う処にある。

【0012】

また、本発明の更に他の目的は、最適な等化特性を迅速、かつ安定して実現する処にある。

【0013】

【課題を解決するための手段】

前述の如き問題を解決し、前記目的を達成するため、本発明は、情報信号を再生する再生手段と、前記再生手段により再生された情報信号を等化する等化手段と、第1の制御方法と第2の制御方法とを選択的に用いて前記等化手段の等化特性を制御する制御手段とを備える構成とした。

【0014】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を用いて詳細に説明する。以下に説

明する実施形態では、本発明を周知のデジタルVTRに適用した場合について説明する。

【0015】

図1は本発明が適用されるVTR100の再生系の構成を示す図である。

【0016】

図1において、再生回路103はテープ101の多数のトラックから回転ヘッドにより画像信号、音声信号、サブコード等の情報信号を再生し、アンプ105に出力する。アンプ105は再生回路からの再生信号を増幅し、イコライザ107に出力する。

【0017】

イコライザ107はアンプ105からの再生信号の電磁変換系による劣化を補償するよう波形を等化し、A/D変換器109に出力する。

【0018】

図2はイコライザ107の構成を示す図である。

【0019】

本形態のイコライザ107は、図2に示すように、振幅補正回路201及び群遅延補正回路203から構成される。振幅補正回路201は主に低域の振幅を補正する積分回路201aと、高域強調回路201bとから構成され、群遅延補正回路203は低域の群遅延の補正を行う2次のオールパスフィルタ（以下APF）203aと、高域の群遅延の補正を行う2次のAPF203bから構成される。

【0020】

そして、後述の如く、高域強調回路201bの特性を制御信号EQCで制御することができ、また、APF203aの特性及びAPF203bの特性をそれぞれ制御信号GDL、GDHで制御することができる。

【0021】

図2の振幅補正回路201及び群遅延補正回路203の構成をそれぞれ、図3(a)、図3(b)に示す。また、振幅補正回路201の等化特性を図4に示し、群遅延補正回路203の等化特性を図5に示す。

## 【0022】

図3 (a) のR<sub>2</sub>の値を制御信号EQCにより制御することで、図4に示したように、高域成分の強調量を制御することができる。

## 【0023】

また、2次のオールパスフィルタの群遅延特性は、

$$t(f) = (f * f - fa / Q * f + fa * fa) / (f * f + fa / Q * f + fa * fa)$$

で表せ、Q、faを調整することで目標とする群遅延特性を実現できる。

## 【0024】

例えば、2次のAPFでは、

$$fa = \sqrt{(1/LC) * (1/2\pi)}$$

$$Q = (fa \times CR)$$

となり、LCRを調整することでfa、Qの変更が可能となる。

## 【0025】

図6に、あるテープ、ヘッドの組み合わせで図3のR<sub>2</sub>、R<sub>b</sub>、R<sub>c</sub>を変化させたときのエラーレートの様子を示す。R<sub>2</sub>、R<sub>b</sub>、R<sub>c</sub>の最適値はテープ、ヘッドの特性により異なり、エラーレートを最小とするためには、これらテープ、ヘッドの特性に合わせて等化特性を制御する必要がある。

## 【0026】

図7に正しい等化特性で等化された信号のアイパターンと等化誤差が大きい場合のアイパターンの様子を示す。

## 【0027】

等化特性が最適である場合には、図7 (a) のようにデータ検出点において、データは-1, 1に近い値をとる。これに対し、等化特性が最適でなく、等化誤差が大きい時には図7 (b) のようにアイパターンが乱れ、データ検出点においては-1, 1から離れた値となる。

## 【0028】

このようにイコライザ107により等化された再生信号はA/D変換器109により1サンプル複数ビットのデジタル信号に変換され、PLL111及びPR4デコーダ113に出力される。

## 【0029】

P L L 1 1 1 は A / D 変換器 1 0 9 からのデジタル信号に位相同期したクロックを発生し、A / D 変換器 1 0 9 に出力する。A / D 変換器 1 0 9 はこの P L L 1 1 1 からのクロックに応じてイコライザ 1 0 7 からの再生信号をサンプリングし、1 サンプル複数ビットで量子化する。

## 【0030】

また、P R 4 デコーダ 1 1 3 は A / D 変換器 1 0 9 からの再生信号に対して P R 4 のデコード処理を施し、評価回路 1 1 5 及びビタビデコーダ 1 2 3 に出力する。

## 【0031】

本形態では、テープ 1 0 1 に記録されている信号は記録時のデジタル変調処理として、パーシャルレスポンスクラス 4 (以下 P R 4 ) のプリコード処理が施されて記録されている。P R 4 デコーダ 1 1 5 はこの記録時に施された P R 4 プリコード処理に対応する復調処理である P R 4 のデコード処理を行う。

## 【0032】

P R 4 デコーダ 1 1 3 の構成を図 8 に示す。

## 【0033】

図 8 において、A / D 変換器 1 0 9 からの再生信号は入力端子 8 0 1 から入力し、ラッチ 8 0 3 及び 8 0 5 により 2 クロック分遅延され、減算器 8 0 7 に出力される。減算器 8 0 7 は入力端子 8 0 1 からの再生信号とラッチ 8 0 5 からの 2 クロック分遅延された信号との差を求め、出力端子 8 0 9 に出力する。

## 【0034】

P R 4 デコーダ 1 1 5 からの再生信号は評価回路 1 1 5 及びビタビデコーダ 1 2 3 に出力される。

## 【0035】

評価回路 1 1 5 は後述の如くイコライザ 1 0 7 の特性を評価し、その結果をイコライザ制御回路 1 1 7 に出力する。

## 【0036】

イコライザ制御回路 1 1 7 は評価回路 1 1 5 から出力される評価値と、後述の

誤り訂正回路127からのエラーフラグとに基づき、アンプ105のゲイン及び、イコライザ107に対する制御信号EQC、GDL及びGDHの値を制御する。

#### 【0037】

また、ビタビデコーダ121は周知のビタビアルゴリズムを用いてPR4デコーダ113の出力から1サンプル1ビットのデジタル信号を検出し、メモリ125に出力する。誤り訂正回路127は記録時に付加されたパリティデータを用いてメモリ125に記憶された再生信号に誤り訂正復号処理を施して再生信号中のエラーを訂正し、訂正不能なエラーがあった場合にその旨を示すエラーフラグを発生してイコライザ制御回路117に出力する。

#### 【0038】

信号処理回路123は誤り訂正処理が終了した再生信号をメモリ125から読み出し、再生画像信号、再生音声信号について記録時符号化処理に応じた復号処理を施して出力する。本形態のデジタルVTRでは画像信号や音声信号を符号化して記録再生しており、信号処理回路123はこれら画像信号や音声信号を復号する復号回路を含む。

#### 【0039】

システムコントローラ119は操作スイッチ121による指示に応じてイコライザ制御回路117及びVTR100の各部の動作を制御する。

#### 【0040】

次に、本形態におけるイコライザ107の等化特性の制御動作について説明する。

#### 【0041】

図9はイコライザ制御回路117の制御動作を示すフローチャートである。

#### 【0042】

システムコントローラ119より再生開始の指示があると、1トラック毎に図9のフローが実行される。再生が開始すると、イコライザ制御回路117内のCPUは再生トラック数をカウントするための変数PBtrackを0にリセットし、不図示のヘッドスイッチパルスに応じて図9のフローを実行する。

## 【0043】

フローがスタートすると、まず、前述のPBtrackが0であるかを判別し（S901）、0であった場合にはイコライザ107の変数EQC、GDL及びGDHをそれぞれ所定の初期値にリセットする（S903）。

## 【0044】

次に、再生トラック数PBtrackが所定の値nを越えたか否かを判別し（S905）越えていない場合にはエラーフラグを用いずに等化特性を制御する方法である制御アルゴリズムAを選択し、等化特性の制御を行う（S907）。また、再生トラック数がnを越えている場合にはエラーフラグを用いて等化特性を制御する方法である制御アルゴリズムBを選択し、等化特性の制御を行う（S909）。

## 【0045】

そして、PBtrackに1を加えてフローを抜ける（S911）。

## 【0046】

このような図9によれば、再生を開始してから、nトラックの信号を再生するまでの間は制御アルゴリズムAに従って等化特性を制御し、再生期間がnトラックを越えた時点で、これ以降は再生が停止するまで制御アルゴリズムBに従って等化特性を制御する。本形態ではnを20とし、再生開始から20トラック分の信号を再生するまでは制御アルゴリズムAに従って等化特性を制御する。

## 【0047】

本形態では、制御アルゴリズムAにおいては、評価回路115からの評価値に基づいて等化特性の制御を行い、制御アルゴリズムBにおいては、誤り訂正回路127からのエラーフラグに基づいて等化特性の制御を行うものである。そして、再生開始後nトラックの間評価値のみを使い、エラーフラグを用いずに等化特性を制御することで、より迅速に最適な等化特性の制御を行うようにした。

## 【0048】

次に、制御アルゴリズムAにおける評価値を用いた等化特性の制御動作について説明する。

## 【0049】

図7に示したように、等化特性が適正でない場合、再生信号のアイパターが乱れ、データ検出点において、A/D変換されたデータの値が1または-1に応じた値とならなくなる。

#### 【0050】

そこで、本形態では、A/D変換後のデータと、このA/D変換後のデータを2値判別したデジタルデータとの誤差の絶対値を求め、これを評価値として用い、この評価値を0に近づけるようイコライザ107の等化特性を制御する。

#### 【0051】

まず、評価回路115について、詳細に説明する。

#### 【0052】

図10は評価回路115の構成を示す図である。

#### 【0053】

図10において、PR4デコーダ113から出力された再生信号は入力端子1001よりデコーダ1003及びラッチ1011に出力される。

#### 【0054】

デコーダ1003は入力された再生信号を2値判別し、閾値よりも大きい場合に1、小さい場合に-1とするデジタルデータを出力する。

#### 【0055】

デコーダ1003により検出されたデータはラッチ1007、1009により1クロック期間遅延され、乗算器1021A～1021Eに出力される。なお、乗算器1021A～1021Eはそれぞれ図10における検出回路1033A～1033Eの一部を構成しており、各検出回路1033A～1033Eは入力データの遅延量が異なるだけで動作は同様であるため、以下の説明では検出回路1033Aについてのみ説明し、他の検出回路1033B～1033Eについての説明は省略する。

#### 【0056】

一方、入力端子1001から入力されたPR4信号はラッチ1011、1013、1015及び1017によりそれぞれ1クロック期間遅延され、各検出回路1033B～1033Eの乗算器1021B～1021Eに出力される。

## 【0057】

ここで、本形態では、ラッチ1011に入力されるデータ及び各ラッチ1011～1017の出力を便宜上それぞれD+2, D+1, D0, D-1, D-2と呼ぶことにする。そして、D0を時間軸の中心と考えると、ラッチ1007、1009により2クロック分遅延された検出データはD0の2値検出結果であると考えることができる。

## 【0058】

乗算器1021Aはラッチ1009により2クロック分遅延された2値検出結果と入力されたPR4信号とを乗算し、加算器1023A、スイッチ1025A及びレジスタ1027Aで構成される積分回路に出力する。スイッチ1025Aは通常は図に示すように加算器1023Aの方に接続し、入力端子1019からのタイミング信号に応じて、例えば、2048クロックに1回、反対側に接続され、レジスタ1027Aの値をクリアする。

## 【0059】

また、スイッチ1029Aは通常はレジスタ1031Aの出力側に接続しているが、入力端子1019からのタイミング信号より、スイッチ1025Aに連動して2048クロックに1回レジスタ1027Aの方に接続しレジスタ1027Aの積分結果を記憶する。レジスタ1031Aはバス1035に接続されており、イコライザ制御回路117内のマイコンはスイッチ1029Aの接続タイミングとは非同期の所定のタイミングでバス1035を介してレジスタ1031Aのデータを読み出すことができる。

## 【0060】

ここで、スイッチ1025Aとスイッチ1027Aはそれぞれ2048クロック毎に切り換わり、レジスタ1031Aに積分結果を書き込んでいるが、切り替えタイミングは2048クロック以外でもよい。

## 【0061】

即ち、各スイッチを1トラック期間に1回切り換えるように制御すれば、1トラック毎に積分結果を得ることができが、これでは、1トラックに1回だけしか等化特性を補正できず、また、積分回路を構成するレジスタのビット数も大き

くしなければならない。本形態ではPLL111により再生信号から41.85MHzのクロックを得ており、2048クロック期間を1つの単位として積分を行い、イコライザ制御回路117内のマイコンが適当なタイミングで1トラック期間に数回積分結果を見に行けるように構成している。

#### 【0062】

これにより、1トラックを複数の部分に分割した各部分毎の信号波形の様子を監視することができ、より細かい等化特性の制御を行うことができる。

#### 【0063】

次に、本形態における図10の評価回路による各検出データの意味について説明する。

#### 【0064】

まず、検出回路1033Cには、デコーダ1003で検出された検出結果が2クロック期間遅延されて入力されると共に、入力端子1001から入力されたPR4信号が2クロック期間遅延されて供給されているので、時間的に同じタイミングのPR4信号と2値検出結果が供給されることになる。

#### 【0065】

そのため、検出回路1033Cは2値検出される前のPR4信号そのものの値と2値検出結果との乗算結果を積分していることになる。この積分結果はイコライザ107により波形等化されたPR4信号と、実際の検出結果であるデコーダ1003との相関の度合いであり、PR4信号のレベルそのものを反映したデータである。

#### 【0066】

検出回路1033Dには2クロック遅延された検出結果と、3クロック遅延されたPR4信号とが供給されており、検出回路1033Dからは、検出結果として、 $(D-1, D0) = (-1, 1)$  もしくは  $(1, -1)$  の状態があったときのD-1に対応するPR4信号のレベルを積分した結果が得られる。この検出結果はまた、イコライザ107により等化された信号のうちのfb/2 (fbはA/D変換器109のサンプリング周波数) の周波数成分のレベルを示している。

#### 【0067】

検出回路1033Bには2クロック遅延された検出結果と、1クロック遅延されたPR4信号とが供給されており、検出回路1033Bからは、検出結果として、 $(D_0, D+1) = (-1, 1)$  もしくは  $(1, -1)$  の状態があったときのD+1に対応するPR4信号のレベルを積分した結果が得られる。この検出結果はまた、検出回路1033Dの出力と同様、イコライザ107により等化された信号のうちの $f_b/2$ の周波数成分のレベルを示しているが、時間的にD0の前と後という違いがあり、これら検出回路1033B及び1033Dの出力によりイコライザ107による等化波形の様子を把握することができる。

#### 【0068】

次に、検出回路1033Eには2クロック遅延された検出結果と、4クロック遅延されたPR4信号とが供給されており、検出回路1033Dからは、検出結果として、 $(D-2, D-1, D_0) = (-1, *, 1)$  もしくは  $(1, *, -1)$  の状態（\*は1, 0, -1のいずれでもよい）があったときのD-2に対応するPR4信号のレベルを積分した結果が得られる。この検出結果はまた、イコライザ107により等化された信号のうちの $f_b/4$ の周波数成分のレベルを示している。

#### 【0069】

また、検出回路1033Aには2クロック遅延された検出結果と、遅延されていないPR4信号とが供給されており、検出回路1033Aからは、検出結果として、 $(D+2, D+1, D_0) = (-1, *, 1)$  もしくは  $(1, *, -1)$  の状態（\*は1, 0, -1のいずれでもよい）があったときのD+2に対応するPR4信号のレベルを積分した結果が得られる。この検出結果はまた、イコライザ107により等化された信号のうちの $f_b/4$ の周波数成分のレベルを示しているが、時間的にD0の前と後という違いがあり、これら検出回路1033A及び1033Eの出力によりイコライザ107による等化波形の様子を把握することができる。

#### 【0070】

次に、前述のような評価回路115の出力を用いたイコライザ制御回路117の動作について説明する。

## 【0071】

イコライザ制御回路117は評価回路115の出力を内部のマイコンに入力し、各検出回路1033A～1033Eの出力に基づいてイコライザ107の等化状況を判定する。そして、この判定結果によりイコライザ107に対する制御信号EQC, GDL及びGDHの値及び、アンプ105のゲインを変更する。この構成により最適な等化特性を実現する。

## 【0072】

実際にテープから信号を再生しながら、イコライザ107の各制御信号EQC, GDL及びGDHの値を変更した際に、評価回路115の各検出回路1033A～1033Eに出力される検出結果の様子を図11(a)～(c)に示す。

## 【0073】

なお、図11では、各検出回路1033A～1033Eの出力をそれぞれ、a, b, c, d, eとする。また、図11において、横軸はイコライザ107に出力する各制御信号EQC, GDL及びGDHの電圧であり、右に行くほど電圧が高いことを示している。縦軸は評価回路115の各評価回路1033A～1033Eの検出出力（以下評価値）を示し、中心が0、上にいくほど値が大きいことを示している。

## 【0074】

図のように、EQCの値を上げると、図11(a)に示すように、特にdとbが下がる。GDHを上げると、図11(c)に示すように、特にaが上がりeが下がる。また、bは多少上がり、dは多少下がる。GDLを上げると、図11(b)に示すように、aとbが上がり、eとdが下がるのはGDHと同様であるが、GDHに比べて低域の群遅延を等化しているため、aとbの運動する度合いがGDHを制御する場合よりも大きい。

## 【0075】

本形態では、評価回路115から出力される各評価値a～cに基づき、各評価値の値が0となるよう制御信号EQC, GDL及びGDHの値及び、アンプ105のゲインを制御するものである。

## 【0076】

次に、このような評価回路115の出力によるイコライザ制御回路117の制御動作について図12のフローチャートを用いて説明する。

#### 【0077】

図12はイコライザ制御回路117内のマイクロプロセッサによる処理を説明するためのフローチャートである。

#### 【0078】

イコライザ制御回路117内のマイクロプロセッサにより、再生開始から20トラックまでの間、図12に示すフローが1トラック毎に繰り返し実行される。

#### 【0079】

まず、S1201において前述のPBtrackの値を3で割り、その余りを変数*i*として求める。この*i*は0, 1, 2の値を探るが、*i*の値に応じてアンプ105及びイコライザ107の制御を行う(S1203)。従って、S1205以降の処理、S1211以降の処理、及び、S1223以降の処理はそれぞれ3トラックに1回行われる。

#### 【0080】

*i*が0であった場合、評価回路115から読み出した評価値*c*を評価する(S1205)。*c*が0より小さい場合にはS1207においてアンプ105のゲインを所定量上げるよう制御し、また、*c*が0より大きい場合にはS1209においてアンプ105のゲインを所定量下げるよう制御する。また、*c*が0であった場合にはアンプ105のゲインは変更せず、処理を終了する。

#### 【0081】

即ち、本形態では、イコライザ107による等化結果と検出結果との相関を示す検出回路1033Cの値が0付近にないと、他の検出回路1033A, 1033B, 1033D, 1033Eによる各検出結果に誤差が生じるため、アンプ107のゲインを調整して前記D0に対応するイコライザ107の出力信号のレベルを適正なレベルに合わせている。なお、本形態ではアンプ105のゲインを調整することでレベルを合わせているが、評価回路115のデコーダ1003の閾値を制御することも可能であり、同様の効果をもつ。

#### 【0082】

また、 $i$ が1であった場合、S1211において、評価回路115から読み出した $b$ と $d$ の加算結果を評価する。 $b+d$ が0より小さい場合、S1213においてEQCの値、つまり、R2に与える制御信号を所定量大きくする。また、 $b+d$ が0より大きい場合には、S1215においてEQCの値を所定量下げるよう制御し、また、0よりも小さい場合にはS1211においてEQCの値を所定量下げるよう制御する。 $b+d$ の値が0であった場合にはS1217に進む。

#### 【0083】

次に、S1217において、 $b$ と $d$ の値を比較し、 $b$ が $d$ よりも小さい場合にはS1219においてGDHの値を所定量上げるよう制御し、 $b$ が $d$ よりも大きい場合にはS1221においてGDHの値を所定量下げるよう制御する。また、 $b$ と $d$ の値が同じとき、そのままフローを抜ける。

#### 【0084】

また、 $i$ が2のとき、S1223において $a$ と $e$ の値を比較する。そして、 $a$ が $e$ よりも小さい場合にはS1225においてGDLの値を所定量上げるよう制御し、 $a$ が $e$ よりも大きい場合にはS1227においてGDLの値を所定量下げるよう制御する。また、 $a$ と $e$ の値が同じとき、そのままフローを抜ける。

#### 【0085】

このように評価回路115の出力によりイコライザ107の群遅延特性を制御した場合の信号波形について説明する。

#### 【0086】

図13はイコライザ107にインパルス波形を入力した場合にイコライザ特性が最適であった場合の出力信号の波形を示す図である。図13に示すように、イコライザの特性が適切である場合には、出力される波形は左右対称となる。

#### 【0087】

図14は等化特性が最適ではなく、 $t_0$ に対して非対称な波形となってしまっている様子を示している。本形態では、GDLを制御することでイコライザ107の低域の群遅延特性を制御し、図14の矢印で示したように出力波形を制御している。

#### 【0088】

図14のt0の前後の矢印1401、1403で示した部分のレベルはそれぞれ、評価回路117の評価値a及びeに対応している。また、図11(b)に示したように、GDLの値を変更することでaの値とeの値とが反対方向に変化する。従って、イコライザ107の低域の群遅延特性をGDLにより制御することで、図14(a)あるいは(b)の如きインパルス波形を図13の如き波形に近づけることができる。

#### 【0089】

図15も図14と同様に等化特性が最適ではなく、t0に対して非対称な波形となってしまっている様子を示している。

#### 【0090】

図15のt0の前後の矢印1501、1503で示した部分のレベルはそれぞれ、評価回路117の評価値b及びdに対応している。また、図11(c)に示したように、GDHの値を変更することで、bの値とdの値とが反対方向に変化する。従って、イコライザ107の高域の群遅延特性をGDHにより制御することで、図14よりもt0により近い時間の波形を1501、1503のように制御し、図15(a)あるいは(b)の如きインパルス波形を図13の如き波形に近づけることができる。

#### 【0091】

なお、図14、図15ではGDL、GDHによる制御を説明するため、別の図面にて説明したが、実際には、図11に示したように、GDL、GDHのいずれによっても評価値a、b、d、eは変化しており、また、等化された波形も図14、図15の波形を合成したものが得られる。

#### 【0092】

このように、制御アルゴリズムAによれば、イコライザ107により等化処理されたPR4信号と、評価回路115内のデコーダ1003による検出結果とに基づいてこれらの相関を求め、その結果に基づいてイコライザ107の群遅延特性を制御することで、エラー率に頼ることなく、イコライザ107そのものの等化誤差を補償するよう制御することが可能となる。

#### 【0093】

つまり、等化特性を制御するためにエラー数をカウントする必要がないため、極めて迅速に等化特性の制御を行うことができ、再生開始直後から良好な等化処理を実現できる。

## 【0094】

また、エラー率が極端に低い状態にあっても正確に等化特性を制御することができ、また、ドロップアウト等の物理的要因によるエラー率の変化に対して等化特性の変化を追従させることなく、本来の最適値に等化特性を制御することが可能となる。

## 【0095】

次に、制御アルゴリズムBについて説明する。

## 【0096】

本形態では、制御アルゴリズムBにおいては、誤り訂正回路127から出力されるエラーフラグを所定数のトラック期間カウントし、このカウント値に従って最適な等化特性に制御する、いわゆる山登り制御による等化特性制御を行う。

## 【0097】

また、本形態の再生信号は、1トラックの音声信号、画像信号及びサブコードを149個のシンクブロックに分割して記録されており、誤り訂正回路127はシンクブロック毎にエラーフラグを発生する。従って、1トラックで得られるエラーフラグの数は最大で149である。

## 【0098】

また、前述のように、バーストエラーの影響をできるだけ避け、安定した等化特性の制御を行うためにはある程度の期間エラーフラグをカウントする必要がある。この期間をmとすると、本形態ではmを50とし、50トラック期間に得られたエラーフラグの数に基づいて等化特性を制御するものである。

## 【0099】

以下、図16のフローチャートを用いて制御アルゴリズムBの等化制御動作について説明する。

## 【0100】

図16はイコライザ制御回路117による、制御アルゴリズムBであるエラー

フラグを用いた等化特性の制御動作を示すフローチャートである。再生開始から20トラック期間が経過し、制御アルゴリズムBによる等化特性の制御が開始すると、1トラック毎に図16のフローが実行される。

#### 【0101】

制御アルゴリズムBがスタートすると、まず、制御アルゴリズムBの開始トラックであるかを判別し(S1601)、先頭トラックである場合には、エラーフラグを積算するトラック数をカウントするための変数trackCNTの値を0にセットする(S1603)。また、先頭のトラックでない場合にはそのままS1605に進む。

#### 【0102】

次に、直前の1トラック期間のエラーフラグの数を加算し、trackCNTの値に1を加え(S1605)、trackCNTの値がm、ここでは50となったか否かを判別する(S1607)。trackCNTが50に達していない場合にはそのままフローを抜ける。

#### 【0103】

また、trackCNTが50に達していた場合、trackCNTを0にセットし(S1609)、等化特性の制御回数をカウントするための変数であるDAcntに1を加える(S1611)。そして、DAcntの値を判断し、このDAcntの値に応じて、以下の如く、アンプゲイン、及び、R<sub>2</sub>、R<sub>a</sub>、R<sub>b</sub>の値を順次変更し、最適な等化特性になるよう制御する(S1613)。

#### 【0104】

まず、DAcntの値が0以上6未満のとき、つまり、等化特性の変更回数が0～5回までの間は、カウントされた50トラック分のエラー数に基づき、このエラー数が少なくなるようアンプ105のゲインを変更する。これをDAcntが5になるまで、50トラック毎に6回にわたって行い、アンプゲインがもっともエラーが少ない値になるよう山登り制御する(S1615)。

#### 【0105】

次に、DAcntの値が6以上12未満のときには、カウントされた50トラック分のエラー数に基づき、このエラー数が少なくなるようR<sub>2</sub>の値を変更する。こ

れをDACntが11になるまで6回にわたって行い、高域強調回路201bの振幅特性がもっともエラーが少ない特性となるよう、山登り制御する（S1617）。

#### 【0106】

次に、DACntの値が12以上18未満のときには、カウントされた50トラック分のエラー数に基づき、このエラー数が少なくなるようRbの値を変更する。これをDACntが17になるまで6回にわたって行い、APF203aの群遅延特性がもっともエラーが少ない特性となるよう、山登り制御する（S1619）。

#### 【0107】

次に、DACntの値が18以上24未満のときには、カウントされた50トラック分のエラー数に基づき、このエラー数が少くなるようRcの値を変更する。これをDACntが17になるまで6回にわたって行い、APF203bの群遅延特性がもっともエラーが少ない特性となるよう、山登り制御する（S1621）。そして、DACntが24に達した時点で、再びDACntを0にセットし、アンプゲインの制御に戻る（S1623）。

#### 【0108】

本形態のR2, Rb, Rcの山登り制御においては、R2, Rb, Rcの値を1回の制御について交互に±10づつ変化させ、そのときの50トラック分のエラー数を比較して、もっともエラーが少ないとときのR2, Rb, Rcを選択してイコライザ107の等化特性の制御値とする。

#### 【0109】

このように、制御アルゴリズムBによれば、所定期間のエラー数（本形態では50トラック期間）に基づいてイコライザ107の等化特性を制御するため、前述の評価値を用いた制御に比べ応答が遅いが、一方、ランダムエラーに影響されず、安定した等化特性の制御を行うことができる。

#### 【0110】

以上説明したように、本実施形態によれば、再生開始からnトラック分のデータを再生する期間はエラーフラグを用いず、再生信号と2値検出結果との差分を示す評価値を用いてイコライザ107の等化特性を制御するので、再生開始直後

から最適な等化特性の制御を行うことができる。また、 $n$  トラック期間経過後はエラーフラグを用いた等化特性の制御を行うので、安定した等化特性の制御を行うことができる。

#### 【0111】

なお、前述の実施形態では、評価回路115により評価値を求めたが、例えば、評価回路115と同様の処理をレジスタ、マイクロプロセッサ等を用いたソフトウェア処理にて行うことも可能である。

#### 【0112】

なお、前述の実施形態では、 $n$ を20とし、エラーフラグのカウント期間を50トラックとしたが、これらは20または50に限らず、他の値とすることも可能である。

#### 【0113】

また、前述の実施形態では、図12のフローを1トラック毎に繰り返していたが、例えば、1トラック期間内に複数回繰り返し行うようにしてもよい。

#### 【0114】

また、前述の実施形態では、本発明をデジタルVTRに対して適用した場合について説明したが、これ以外にも、データを再生し、等化処理を施すものに対して本発明を適用可能である。

#### 【0115】

#### 【発明の効果】

以上説明したように、本発明によれば、装置の状態に応じた最適な等化処理を行うことができる。

#### 【図面の簡単な説明】

#### 【図1】

本発明が適用されるVTRの構成例を示す図である。

#### 【図2】

図1におけるイコライザの構成を示す図である。

#### 【図3】

図2のイコライザの詳細な構成を示す図である。

【図4】

図2のイコライザの振幅特性を示す図である。

【図5】

図2のイコライザの群遅延特性を示す図である。

【図6】

図2のイコライザ各制御変数とエラーレートの関係を示す図である。

【図7】

図1の装置による再生信号のアイパターンを示す図である。

【図8】

図1のPR4デコーダの構成を示す図である。

【図9】

図1の装置の等化特性の制御を説明するためのフローチャート図である。

【図10】

図1の評価回路の構成を示す図である。

【図11】

図10の評価回路の出力によるイコライザ特性の制御の様子を示す図である。

【図12】

図1のイコライザ制御回路の動作を説明するためのフローチャートである。

【図13】

図1のイコライザの動作を説明するための図である。

【図14】

本発明の実施形態によるイコライザの制御動作を説明するための図である。

【図15】

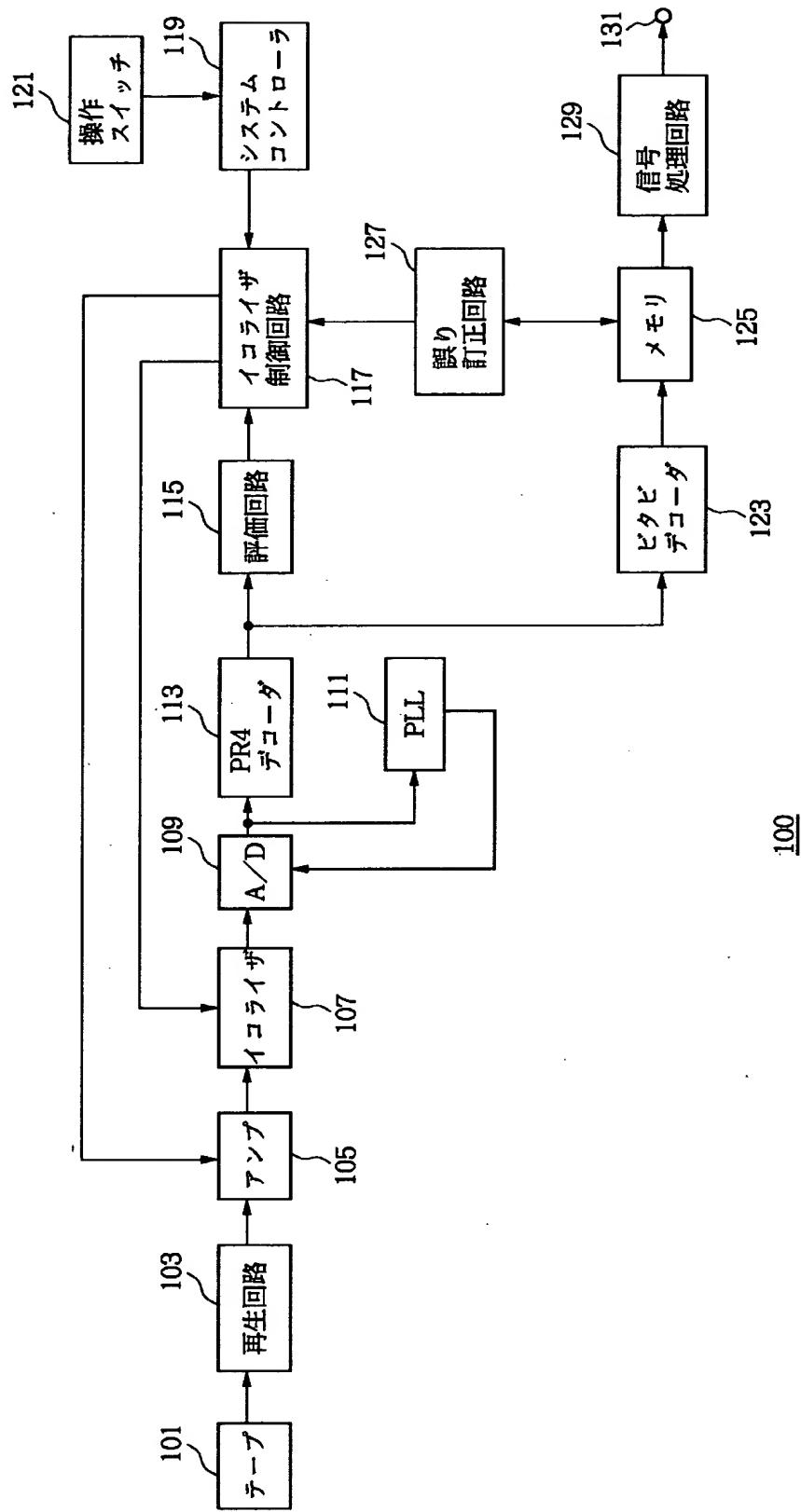
本発明の実施形態によるイコライザの制御動作を説明するための図である。

【図16】

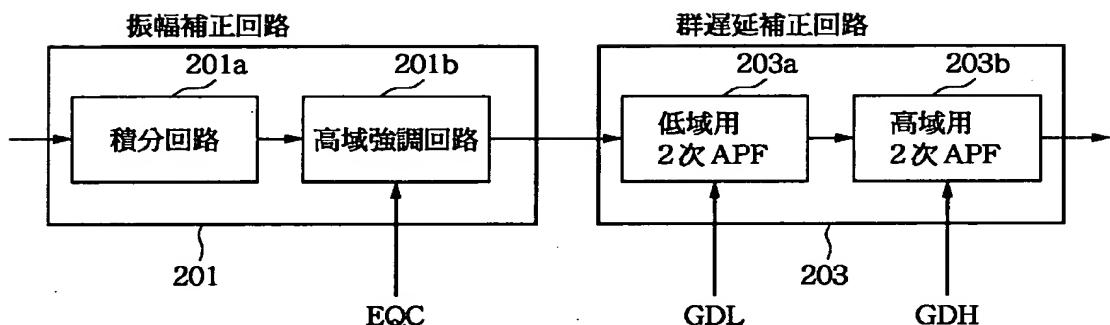
図1のイコライザ制御回路の他の動作を説明するためのフローチャートである

【書類名】 図面

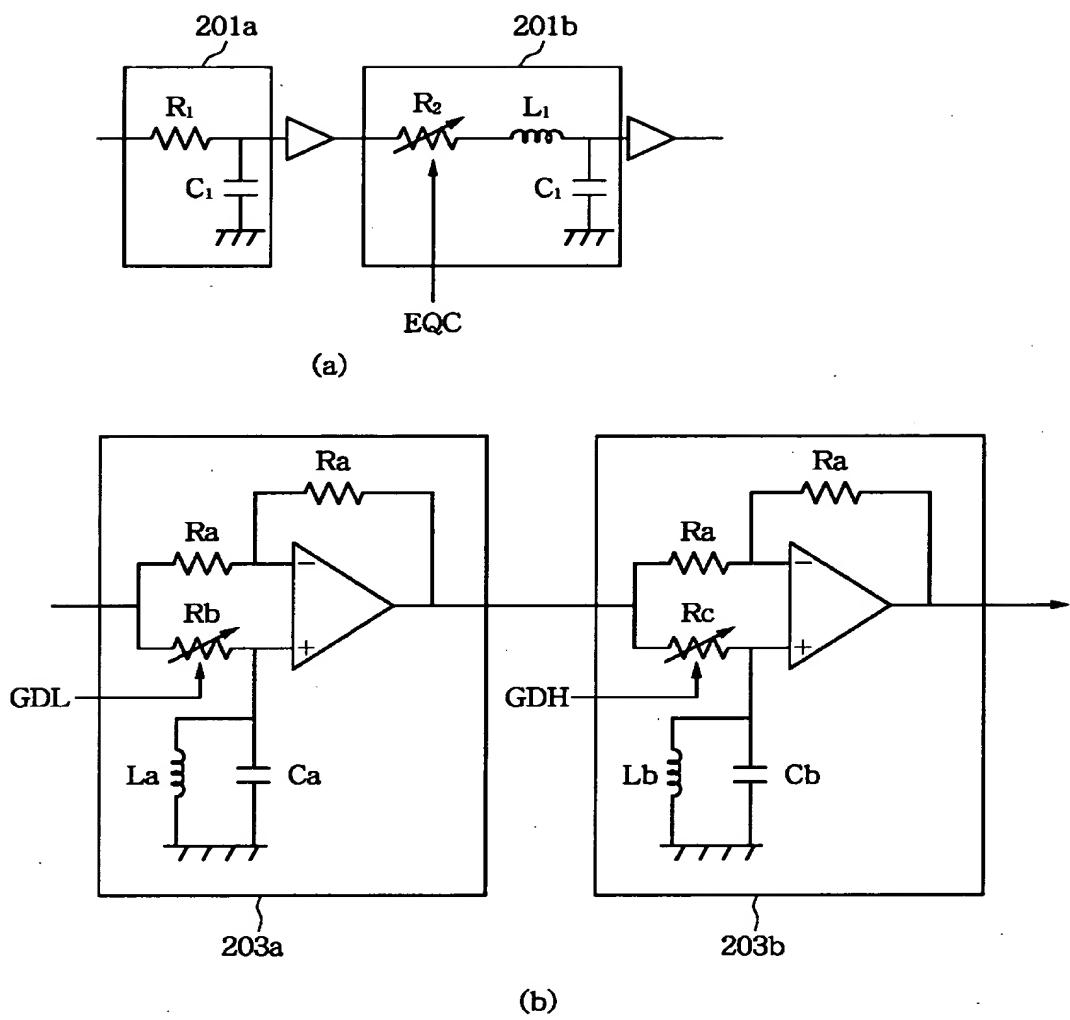
【図1】



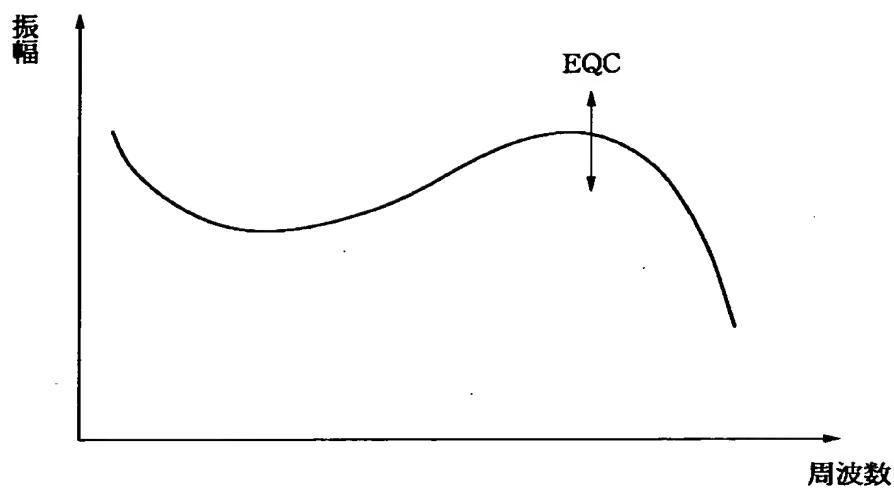
【図2】

107

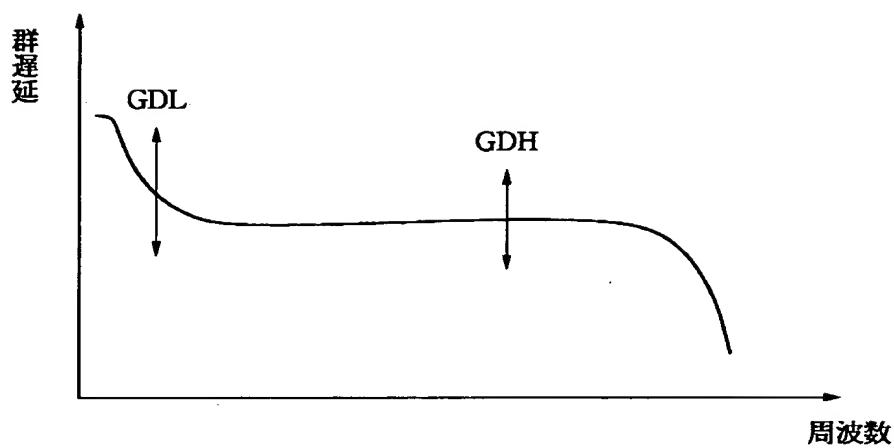
【図3】



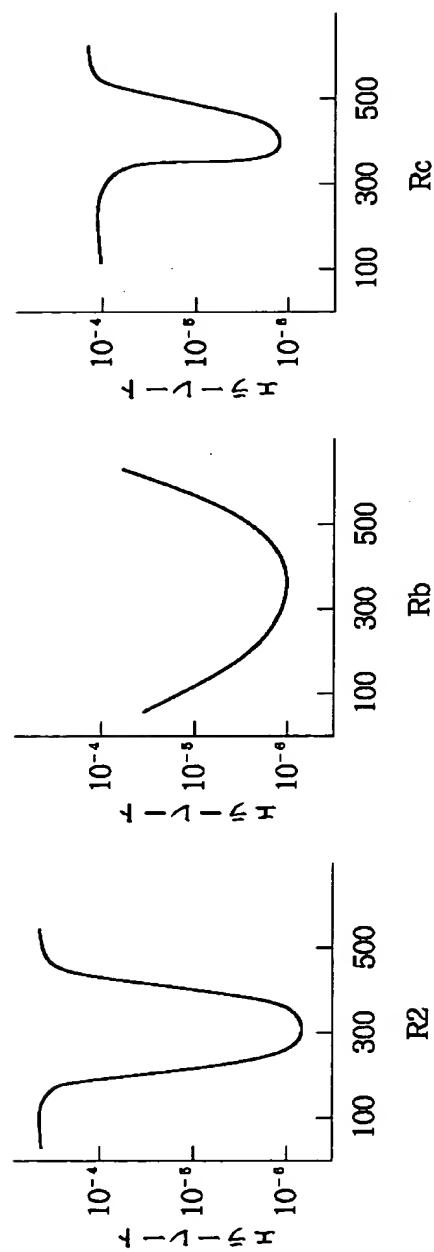
【図4】



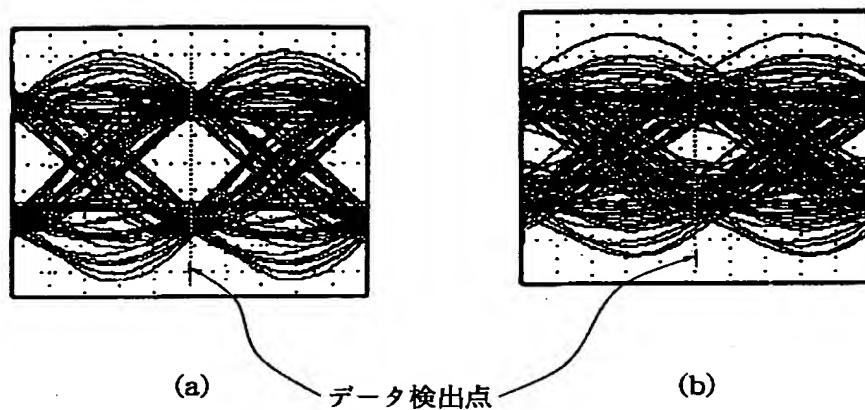
【図5】



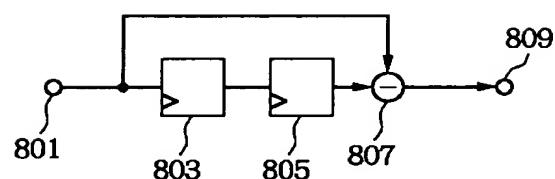
【図6】



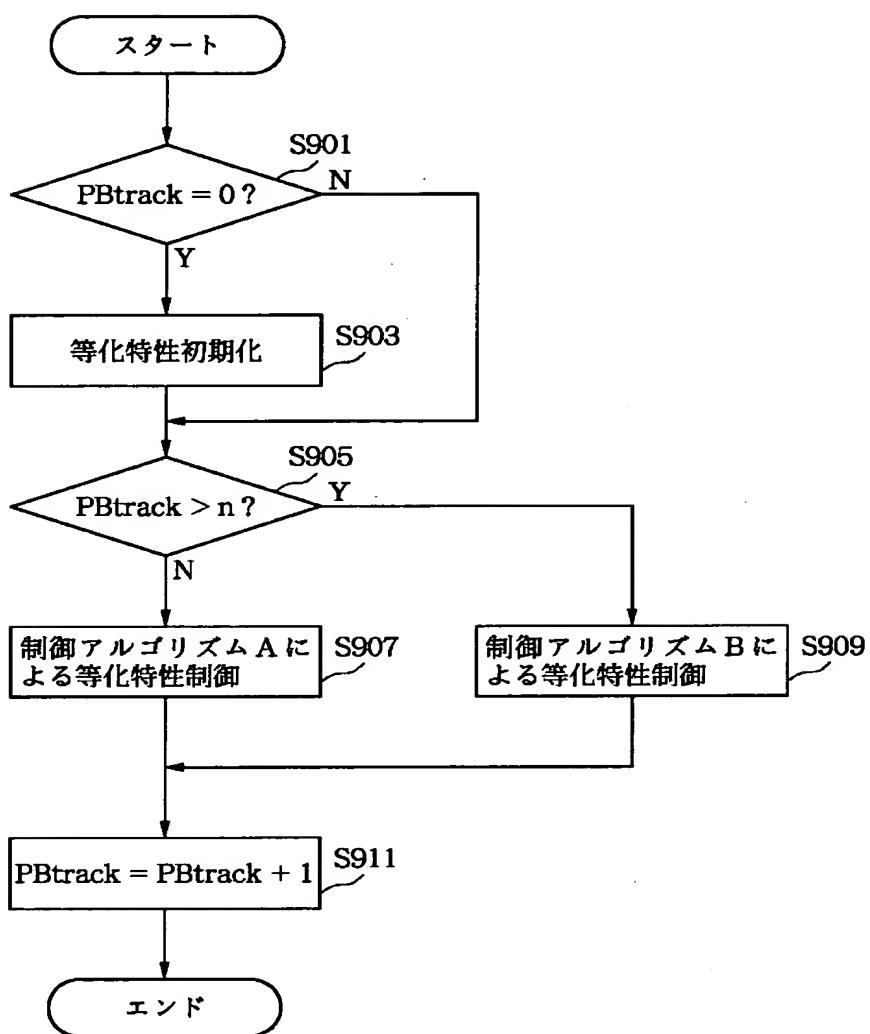
【図7】



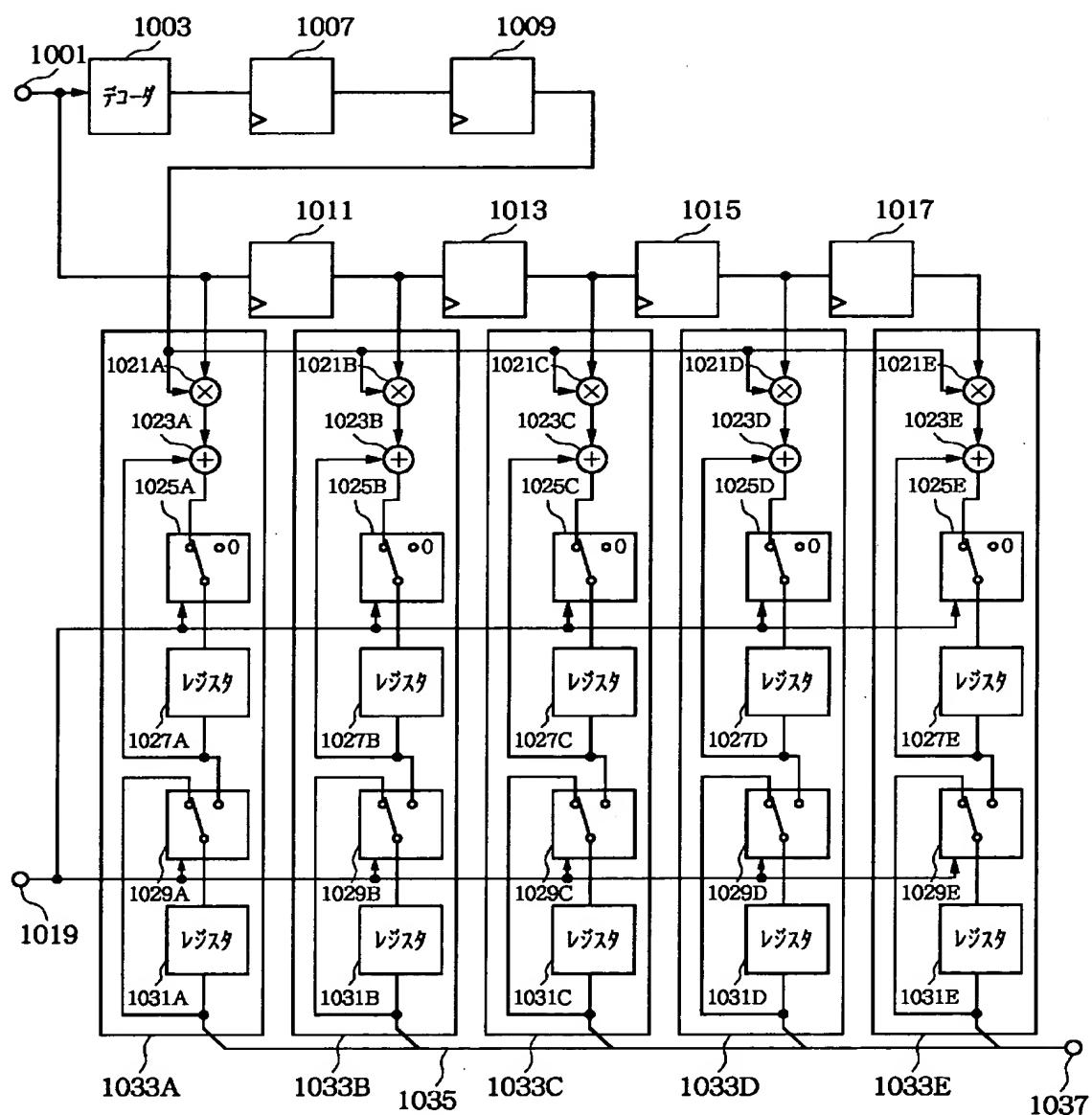
【図8】



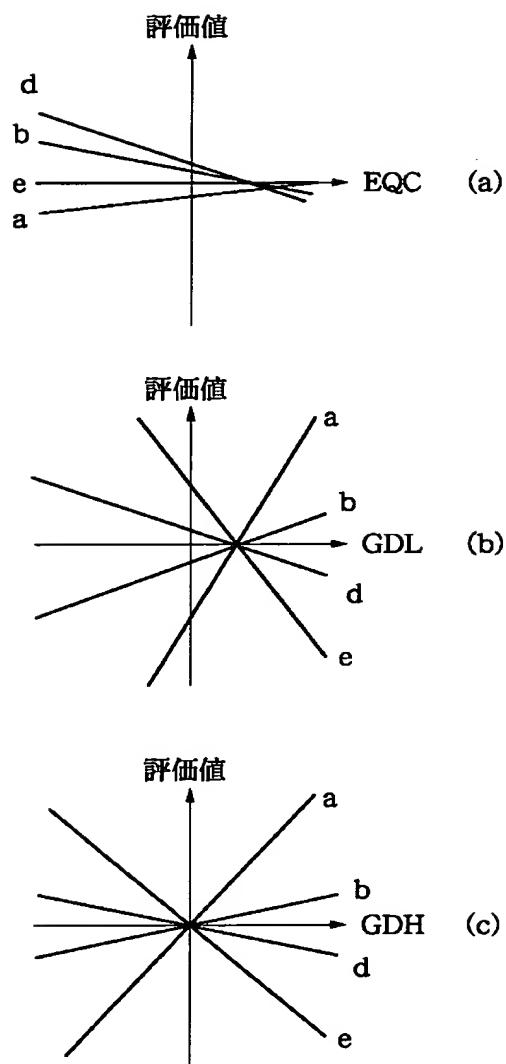
【図9】



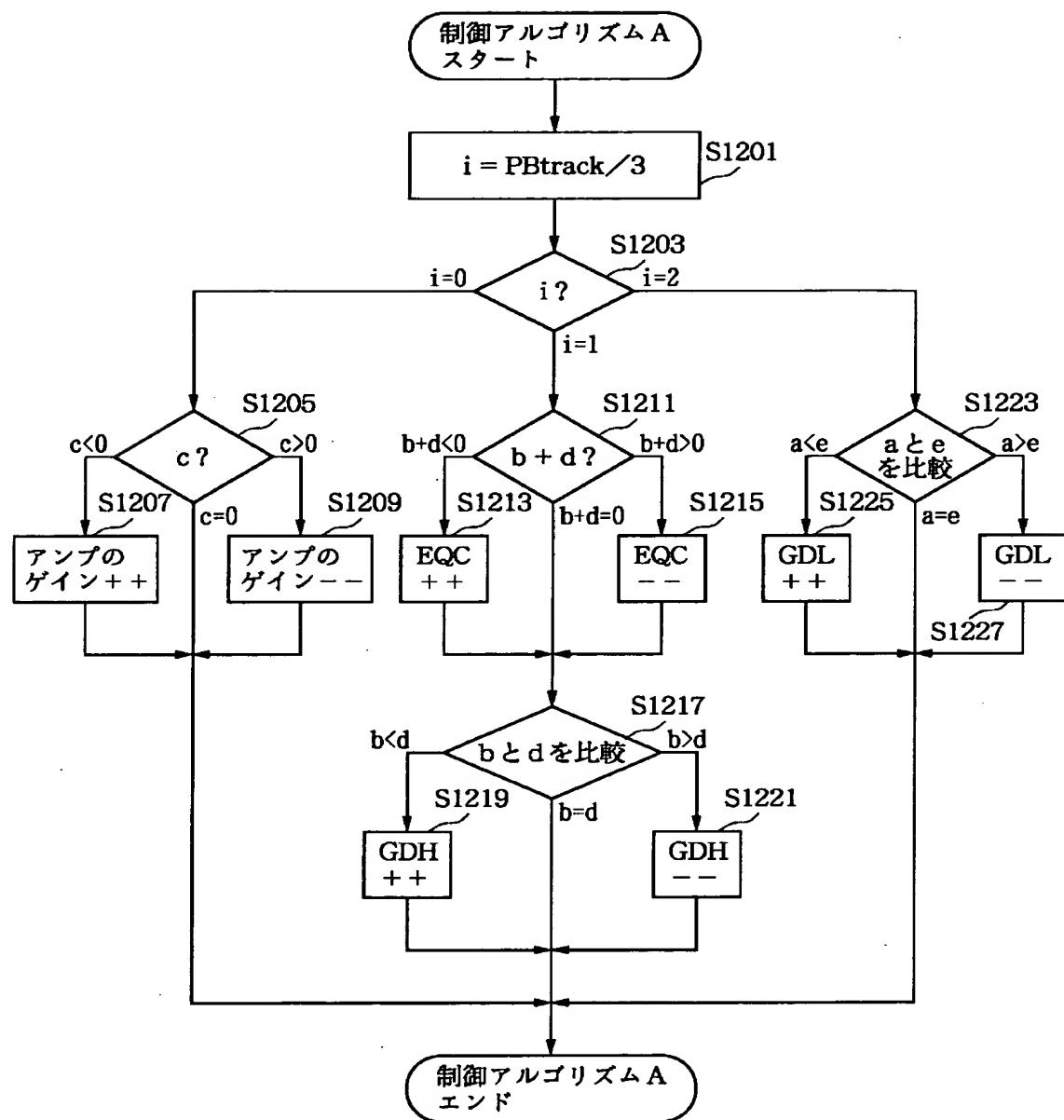
【図10】



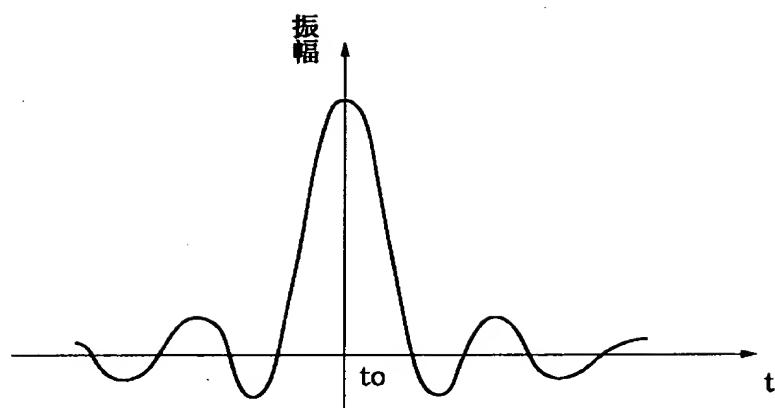
【図11】



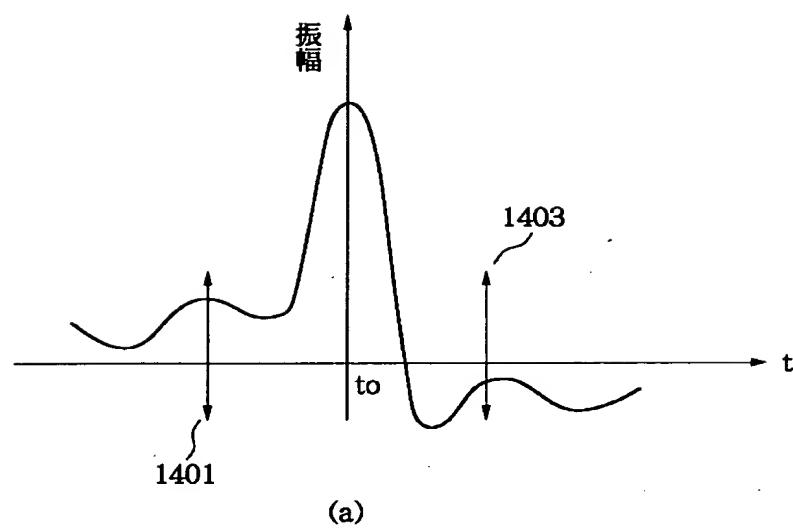
【図12】



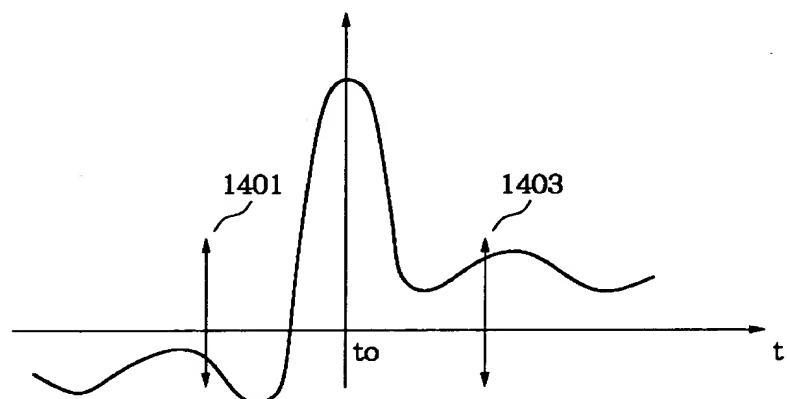
【図13】



【図14】

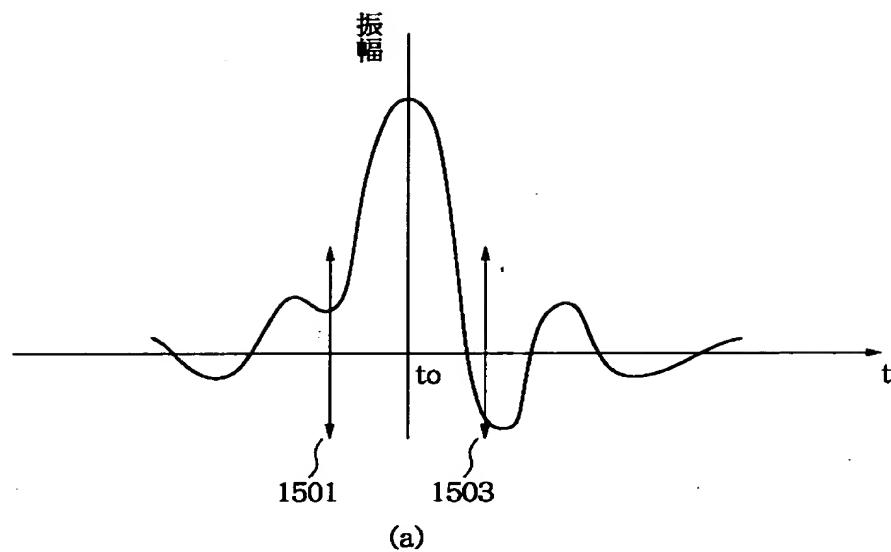


(a)

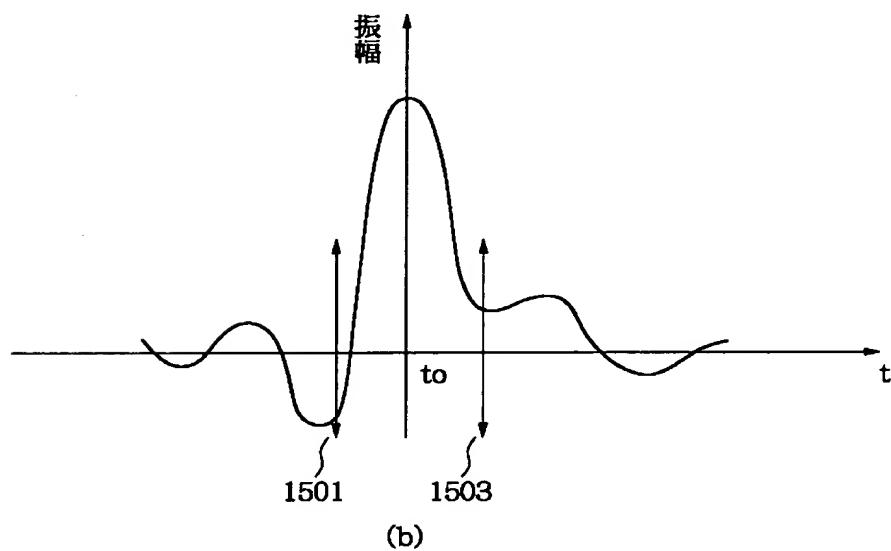


(b)

【図15】

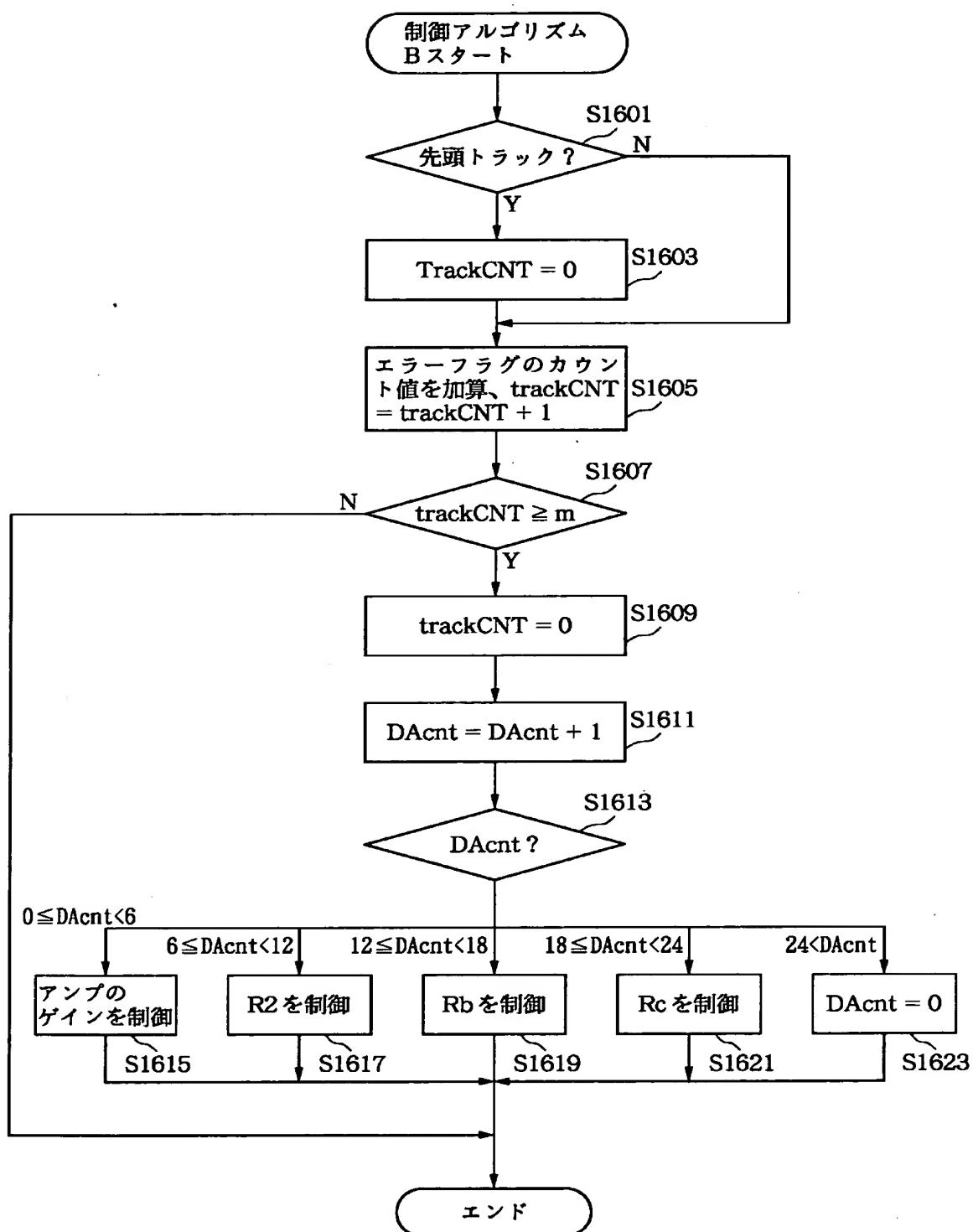


(a)



(b)

【図16】



【書類名】 要約書

【要約】

【課題】 良好的な等化特性の制御を行う。

【解決手段】 再生装置は、情報信号を再生する再生手段と、前記再生手段により再生された情報信号を等化する等化手段と、第1の制御方法と第2の制御方法とを選択的に用いて前記等化手段の等化特性を制御する制御手段とを備える構成とした。

【選択図】 図1

出願人履歴情報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号  
氏 名 キヤノン株式会社